

(11)特許出願公開番号

(43)公開日 平成8年(1996)10月18日

審査請求 未請求 請求項の数5 OL (全 5 頁)

(74) 代理人 弁理士 梅田 勝

1

【特許請求の範囲】

【請求項 1】 比較基準電圧入力とアナログ入力信号とを比較し判定結果を出力する電圧比較器において、該電圧比較器を構成する複数の比較判定用増幅器のうち中間の 1 段のみ増幅器の判定閾値電圧を違えて構成することを特徴とする電圧比較器。

【請求項 2】 前記電圧比較器は比較基準電圧とアナログ入力信号とが交互に供給される充放電用コンデンサと、該コンデンサの充放電電圧を反転増幅して比較判定電圧を出力する複数段の反転増幅器により構成されるチョッパ型電圧比較器であって、内 1 段のみの反転増幅器の反転閾値電圧を他の反転閾値電圧と違えて構成する請求項 1 記載の電圧比較器。

【請求項 3】 比較基準電圧入力とアナログ入力信号とを比較し判定結果を出力する電圧比較器において、該電圧比較器は比較判定結果を記憶する記憶回路を有し、判定増幅段の閾値電圧と判定結果記憶回路のマスター段あるいはスレーブ段どちらかの論理閾値とを違えて構成することを特徴とする電圧比較器。

【請求項 4】 前記電圧比較器は比較基準電圧とアナログ入力信号とを比較し判定結果を増幅する比較判定増幅段と判定結果を記憶する記憶回路とから構成され、該判定増幅段の閾値電圧と判定結果記憶回路のマスターあるいはスレーブ段どちらかの論理閾値とを違えて構成する請求項 3 記載の電圧比較器であって、該記憶回路はスタティック型により構成されることを特徴とする電圧比較器。

【請求項 5】 比較基準電圧入力とアナログ入力信号とを比較し判定結果を出力する電圧比較器において、該電圧比較器を構成する複数の比較判定用増幅器のうち中間の 1 段のみ増幅器の判定閾値電圧を違えて構成し、また比較判定結果を記憶する記憶回路を有し、該判定結果記憶回路をスタティックにより構成することを特徴とする電圧比較器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アナログ・デジタル変換器に関し、特に基準電圧入力とアナログ信号入力とを比較し、比較判定結果を出力する電圧比較器に関する。

【0002】

$$V_2 = V_{in} - (V_{ref} - V_{th}) = \Delta V + V_{th} \dots (2)$$

$$\text{ここに、} \Delta V = V_{in} - V_{ref} \dots (3)$$

反転増幅器 105 は、第 3 のスイッチ S33 がオフ状態のときにのみ動作するものであるから、アナログ入力電圧 V_{in} が印加されるタイミングにおいて、コンデンサ C の充電電圧 V_2 に対し、その反転増幅された出力が比較判定電圧として端子 104 に得られる。従って、この例においては、アナログ入力電圧 V_{in} が基準電圧 V_{ref} より大きいときには、ローレベルの比較判定出力が

2

* 【従来の技術】 従来の電圧比較器の一つの例として CMOS チョッパ型電圧比較器を図 6 に示す。同図において、端子 102 は比較すべきアナログ入力電圧 V_{in} の入力端子、端子 103 は所定の比較基準電圧が供給される入力端子、端子 104 は比較出力電圧が得られる出力端子である。端子 102 に供給されたアナログ入力電圧 V_{in} は第 1 のスイッチ S31 を介して充放電用のコンデンサ C に印加される。同じく端子 103 に供給された比較基準電圧 V_{ref} は、第 2 のスイッチ S32 を介して同じくコンデンサ C に印加される。コンデンサ C と出力端子 104 との間には、反転増幅器 105 が接続される。反転増幅器 105 は、コンプリメンタリ接続された CMOS・FET 構成の第 1 及び第 2 のトランジスタ P1、N1 で構成される。ここに、第 1 のトランジスタ P1 は Pch MOSFET であり、第 2 のトランジスタ N1 は Nch MOSFET である。反転増幅器 105 の両端には第 3 のスイッチ S33 が接続され、これが第 2 のスイッチ S32 と連動して切り換えられるごとく構成されている。

【0003】 第 1 のスイッチ S31 には図 7 の A に示すような第 1 のスイッチングパルス SP1 が供給され、第 2 及び第 3 のスイッチ S32、S33 には、同図 B に示す第 2 のスイッチングパルス SP2 が供給される。両スイッチングパルス SP1、SP2 は互いに逆相関係にあり、従って図 7 に示すように第 2 及び第 3 のスイッチ S32、S33 がオン状態の時には、第 1 のスイッチ S31 はオフ状態を保存するごとく、コンプリメンタリ制御されるものである。

【0004】 さて、この構成において、第 2 のスイッチングパルス SP2 の供給によって、第 2 及び第 3 のスイッチ S32、S33 が閉じられたとき、コンデンサ C は比較基準電圧と反転増幅器 105 のスレッシュホールドレベル V_{th} の差の電位差に充電される。即ち、このときの充電電圧 V_1 は (1) 式ようになる。

【0005】

$$V_1 = V_{ref} - V_{th} \dots (1)$$

これに対し、第 1 のスイッチングパルス SP1 によって、第 1 のスイッチ S31 がオンすると、コンデンサ C にはアナログ入力電圧 V_{in} が印加される。その結果、このときのコンデンサ C の充電電圧 V_2 は

$$V_2 = V_{in} - (V_{ref} - V_{th}) = \Delta V + V_{th} \dots (2)$$

$$\text{ここに、} \Delta V = V_{in} - V_{ref} \dots (3)$$

得られることになる。

【0006】 上述した第 1 及び第 2 のスイッチングパルス SP1、SP2 は図 7 に示すように、所定の周期をもって交互にそのオン、オフが繰り返されることになるから、この構成によって、アナログ入力信号 V_{in} がチョッピングされながら基準電圧 V_{ref} と比較される。

【0007】

50

【発明が解決しようとする課題】ところで、この図6に示すように構成された電圧比較器において、アナログ入力 V_{in} に、 V_{ref} との差 ΔV が極めて小さい値が入力された時コンデンサCに充電される電荷量は僅かな量である。この時に、反転増幅器には論理閾値の極近傍の電圧が入力されることとなる。このとき反転増幅器の出力端子には中間電位（論理閾値）の電圧が出力される。しかしながら、この付近の入力電圧に対して反転増幅器は感度の高い領域であり入力段の少しの電圧変動によってその出力が変動し、場合によっては発振する。本発明は、この様に、電圧比較器に閾値電圧近傍の電圧が入力されたときの不安定動作を改善するためのものである。

【0008】

【課題を解決するための手段】上記の様な問題を解決するために本発明に係る電圧比較器は、比較基準電圧入力とアナログ入力信号とを比較し判定結果を出力する電圧比較器において、該電圧比較器を構成する複数の比較判定用増幅器のうち中間の1段のみ増幅器の判定閾値電圧を違えて構成することを特徴とする。さらには、前記電圧比較器は比較基準電圧とアナログ信号とが交互に供給される充放電用コンデンサと、該コンデンサの充放電電圧を反転増幅して比較判定電圧を出力する複数段の反転増幅器により構成されるチョッパ型電圧比較器であって、内1段のみの反転増幅器の反転閾値電圧を他の反転増幅器と違えて構成することを特徴とする。また、本発明に係る電圧比較器は比較基準電圧とアナログ入力信号とを比較し判定結果を増幅する比較判定増幅段と判定結果を記憶する記憶回路とから構成され、該判定増幅段の閾値電圧と判定結果記憶回路のマスター段あるいはスレーブ段どちらかの論理閾値とを違えて構成することを特徴とする。さらには、上記記憶回路がスタティック型により構成されることを特徴とする。更に、本発明に係る電圧比較器は、比較基準電圧入力とアナログ入力信号とを比較し判定結果を出力する電圧比較器において、該電圧比較器を構成する複数の比較判定用増幅器のうち中間の1段のみ増幅器の判定閾値電圧を違えて構成し、また比較判定結果を記憶する記憶回路を有し、該判定結果記憶回路をスタティック型により構成することを特徴とする。

【0009】

【作用】上述したように電圧比較器を構成する複数段の反転増幅器の内ひとつの増幅器の閾値電圧を違えて構成する。この様に構成された電圧比較器の信号入力端子に比較基準電圧の近傍の信号が入力されると、初段の増幅器の出力は増幅器の感度が一番低い領域で動作しており、初段の増幅器の出力には中間電位（閾値電圧）付近の電圧しか出力されない。次段の増幅器の閾値電圧を前段の増幅器より高く（あるいは低く）設定し、初段と次段の閾値電圧の差分を十分増幅することにより、中間電位を出力し不安定動作を防止することが出来る。またさ

らに、その次段の増幅器を初段の閾値と同じにすることにより、初段の出力電圧が次段の閾値電圧近傍になった時の不安定動作を同様に防止する。こうすることにより比較判定閾値近傍での電圧比較器の不安定動作をなくすることが可能となる。また、このような不安定動作の内、基準電圧近傍入力により出力が中間電位となるばかりでなく、ノイズ等の外的要因により出力が発振してしまう場合も考えられる。これについては、電圧比較結果を記憶する記憶器をスタティック型にすることで、帰還動作がかかり発振を停止して安定動作させることが出来る。

【0010】

【実施例】本発明に係る第1の実施例を図1に示す。以下詳細に説明する。図1は本発明に係る電圧比較器のチョッパ型電圧比較器における1例を示す構成図である。図において、S1、S2、S3はスイッチ、1は基準電圧入力端子、2はアナログ信号入力端子、3は比較判定信号出力端子、4は第1段目の反転増幅器、5は2段目の反転増幅器、6は第3段目の反転増幅器、C1はサンプリング用コンデンサ、10は第1段目の反転増幅器を構成するPchFET、11はNchFET、20は第2段目の反転増幅器を構成するPchFET、21はNchFET、30は第3段目の反転増幅器を構成するPchFET、31はNchFET、である。

【0011】この構成においてまず、スイッチS1、S3がオンし、S2がオフされたとき、コンデンサC1は比較基準電圧と反転増幅器4のスレッシュホールドレベル V_{th} の差の電位差に充電される。次にスイッチS2がオンし、S1、S3がオフすると、コンデンサC1にはアナログ入力電圧 V_{in} が印加される。その結果、このときのコンデンサC1には基準電圧と入力電圧との差 $V_{in} - (V_{ref} - V_{th}) = \Delta V + V_{th}$ ($\Delta V = V_{in} - V_{ref}$)が充電される。この結果、反転増幅器4はアナログ入力電圧 V_{in} が印加されるタイミングにおいて、コンデンサC1の充電電圧に対し、その反転増幅された出力が比較判定電圧として端子12に出力される。

【0012】ここで本発明において、第2の反転増幅器の反転閾値電圧を第1および第3の反転増幅器の反転閾値電圧より高く設定しておく。第1及び第3の反転増幅器の特性を図2に、第2の反転増幅器の特性を図3に示す。いま電圧比較器の入力に比較基準電圧と等しい電圧が入力されたときを考える。このとき、上述したように反転増幅器4の入力には閾値電圧 V_{th} が入力され、図2に示すように反転増幅器4の出力端子12には V_{th} が出力される。この電圧が反転増幅器5に入力され、図3に示すように反転増幅器5の閾値電圧 V_{th2} は V_{th} よりも高く設定されており、図示した特性のように V_{th} が入力されると、その出力は増幅され“H”となる。さらに、反転増幅器6により反転増幅され、電圧比較器の判定信号出力端子3には、“L”が出力される。

この様にして入力に基準電圧近傍の信号が入力されても、出力端子 3 から中間電圧が出力される事なく安定に動作する。また、初段の反転増幅器 4 の出力が、次段の反転増幅器 5 の閾値電圧 V_{th2} になるような入力 V_i が反転増幅器 4 に入力された場合、次段の反転増幅器 5 には V_{th2} が入力され、その出力も V_{th2} となり、中間電位を出力する。しかしながら、第 3 の反転増幅器 6 の特性は図 2 のとおりであり、 V_{th2} が入力されると図示のとおり出力端子 3 からは、“L” が出力され、中間電位が出力されることはない。

【0013】次に本発明の第 2 の実施例として、比較判定増幅段と判定結果を記憶する記憶回路とから構成され、該判定増幅段の閾値電圧と判定結果記憶回路のマスター段あるいはスレーブ段どちらかの論理閾値とを違えて構成することを特徴とする実施例について説明する。図 4 は上記判定結果記憶回路の 1 例を示す回路図であり、この例はダイナミック型のフリップフロップの例である。図において、40 は信号入力端子、42 は信号出力端子、S10、S11 は互いに反転するクロック信号 CK と CKB により制御されるスイッチであり、43、44 は反転増幅器である。この記憶回路の前段には、従来例に示す図 6 の電圧比較器が構成される。その反転増幅器 105 の特性は図 2 と同じである。また 43 の反転増幅器の特性は図 3 と同じであり、44 の反転増幅器の特性は図 2 と同じである。

【0014】この例において、電圧比較器の入力に基準電圧と等しい入力電圧が入力されたとき、前述してきたように出力として閾値電圧 V_{th} を出力する。これが図 4 に示す記憶回路の入力端子 40 に入力される。反転増幅器 43 の特性は図 3 に示すものであるから、端子 41 には“H”が出力され次段の増幅器 44 に入力される。44 の特性は図 2 に示すとおりであるので、出力端子 42 からは“L”が出力されることとなり動作が安定する。この様にして入力に判定電圧近傍の信号が入力されても、出力端子 42 から中間電圧が出力される事なく安定に動作する。尚、スレーブ段の論理閾値を違える構成としてもよい。

【0015】さらに、第 3 の実施例として、比較判定増幅段と判定結果を記憶する記憶回路とから構成され、該判定増幅段の閾値電圧と判定結果記憶回路のマスター段あるいはスレーブ段どちらかの論理閾値とを違えて構成し、この記憶回路は図 5 に示す様なスタティック型フリップフロップで構成することを特徴とする実施例について説明する。図 5 において、45 は信号入力端子、47 は信号出力端子、46 はマスター段の出力端子、S20 及び S23 と、S21 及び S22 は、互いに反転するクロック信号 CK と CKB により制御されるスイッチであり、48、49、50、51 は反転増幅器である。

【0016】前述までの実施例においては、すべてダイナミック回路で動作しており、ダイナミック回路では特

に閾値電圧近傍の動作点においては感度が高いためにノイズ等の要因の影響を受けやすく、そのような要因によって一番不安定な動作現象として発振現象が起こってしまった場合は防止出来ない。本実施例においては、前段の比較判定回路がたとえ発振現象を起こしても、50 あるいは 51 で構成されている反転増幅器により帰還をかけることにより発振を防止し、安定に動作させることが出来る。

【0017】さらに、第 4 の実施例として、図 1 の電圧比較器の出力に、図 5 に示すスタティック型記憶回路を付加した構成も可能である。この場合、スタティック型記憶回路を構成する反転増幅器 48~51 の特性は図 2 と同じでよい。

【0018】

【発明の効果】以上説明してきたように本発明によれば、電圧比較器を構成する複数段の反転増幅器の内ひとつの増幅器の閾値電圧を違えて構成することを特徴としている。この様に構成することにより、電圧比較器の信号入力端子に比較基準電圧の近傍の信号が入力され、初段の増幅器の出力には中間電位（閾値電圧）付近の電圧が出力されても、次段の増幅器の閾値電圧を前段の増幅器より高く（あるいは低く）設定しておくことにより、初段と次段の閾値電圧の差分を十分増幅し、“H”あるいは“L”の信号を確実に出力し、中間電位の出力による不安定動作を防止することが出来る。またさらに、その次段の増幅器を初段の閾値と同じすることにより、初段の出力電圧が次段の閾値電圧近傍になった時の不安定動作をも同様に防止する。こうすることにより比較判定閾値近傍での電圧比較器の不安定動作をなくすることが可能となり、その効果は大である。また、判定電圧近傍入力により出力が中間電位となるばかりでなく、ノイズ等の外的要因により出力が発振してしまう場合も考えられる。これについては、電圧比較結果を記憶する記憶器をスタティック型にすることで、帰還動作がかかり発振を停止して安定動作させることができ、その効果は大である。

【0019】また、従来は電圧比較器を用いた A/D 変換器において、このような電圧比較器の誤動作への方策として、特開平 6-164397 などのように、誤った電圧比較器の結果をもとに推測して補正することで対応しているが、本発明によれば、そのような補正回路を使用せずに、電圧比較器自体の誤動作を防止し容易に改善することが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示す構成図である。

【図 2】本発明に係る電圧比較器を構成する反転増幅器の特性を示す図である。

【図 3】本発明に係る電圧比較器を構成する反転増幅器の特性を示す図である。

【図 4】本発明の第 2 の実施例に係る記憶回路の構成例

を示す図である。

【図 5】本発明の第 3 の実施例に係る記憶回路の構成例を示す図である。

【図 6】従来の電圧比較器の例を示す構成図である。

【図 7】従来例の電圧比較器のスイッチングパルスの説明図である。

【符号の説明】

*

* 1 基準電圧入力端子

2 アナログ信号入力端子

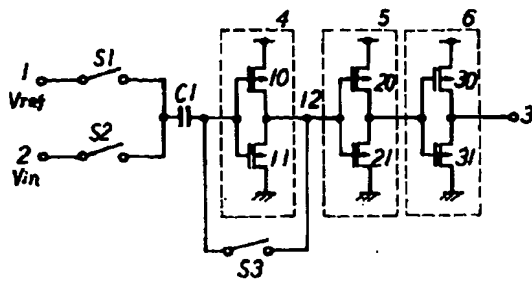
3 比較判定信号出力端子

S1, S2, S3 スイッチ

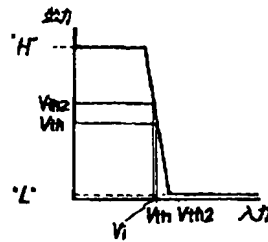
C1 サンプリング用コンデンサ

4, 5, 6 反転増幅器

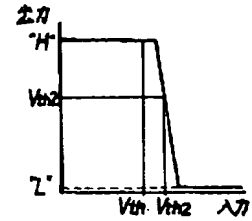
【図 1】



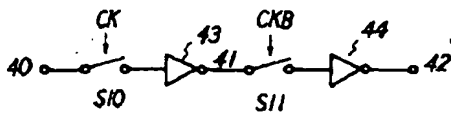
【図 2】



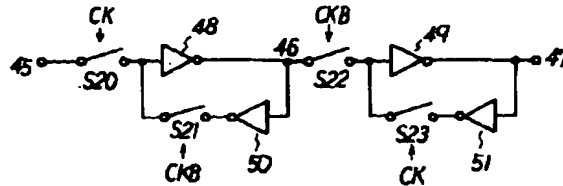
【図 3】



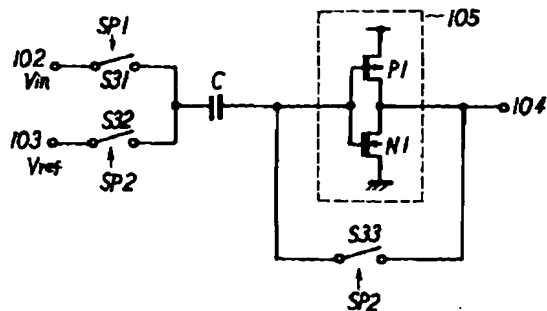
【図 4】



【図 5】



【図 6】



【図 7】

